

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YUN-HEE KIM, ET AL.

Application No.:

Filed:

For: **SIMPLIFIED MESSAGE-PASSING
DECODER FOR LOW-DENSITY
PARITY-CHECK CODES**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0083721	24 December 2002

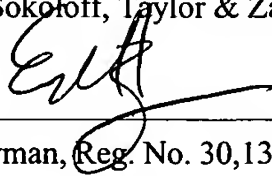
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 10/29/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0083721
Application Number

출원년월일 : 2002년 12월 24일
Date of Application DEC 24, 2002

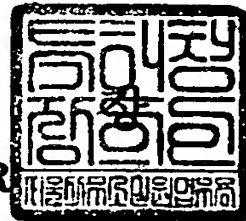
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003 07 월 28 일
 년

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.04
【제출인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-038431-4
【사건의 표시】	
【출원번호】	10-2002-0083721
【출원일자】	2002.12.24
【심사청구일자】	2003.03.04
【발명의 명칭】	계산이 간단한 저밀도 패리티 검사 부호를 위한 메 시지 전달 복호기
【제출원인】	
【접수번호】	1-1-02-0428441-09
【접수일자】	2002.12.24
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조 의 규정에의하여 위와 같 이 제출합니다. 대리인 유미특허법인 (인)

1020020083721

출력 일자: 2003/7/28

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】

1. 보정내용을 증명하는 서류[발명의 몇칭 및 상세한 설명, 특허청구 범위 보정]_1통

【보정대상항목】 색인어

【보정방법】 정정

【보정내용】

Low-density parity-check codes, Hyperbolic tangent function, Message-passing decoder, Log-likelihood ratio, LDPC, 메시지 전달 복호

【보정대상항목】 발명(고안)의 명칭

【보정방법】 정정

【보정내용】

계산이 간단한 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기 {A Simplified Message-Passing Decoder for Low-Density Parity-Check Codes}

【보정대상항목】 식별번호 10

【보정방법】 정정

【보정내용】

본 발명은 통신로 부호(Channel Codes)의 복호(Decoding) 기술에 관한 것으로 특히, 통신로(Channel)의 출력이 연속적인 값을 갖는 통신로 상에서 LDPC 부호로 부호화된 데이터가 전송되었을 경우 이를 메시지 전달 복호 기법(Message-Passing Decoding Algorithm)을 이용하여 복호하는 LDPC 부호를 위한 메시지 전달 복호기에 관한 것이다.

【보정대상항목】 식별번호 11

【보정방법】 정정

【보정내용】

LDPC 부호는 1962년에 Gallager에 의해서 처음으로 발표된 선형 블록 부호로서, 선형 블록 부호를 구성하는 패리티 검사 행렬(Parity-Check Matrix)의 각 원소들의 대부분이 0인 성긴(Sparse) 행렬로 정의된다. 처음 발표되었을 당시에는 구현에 소요되는 비용으로 인해 오랫동안 잊혀져 왔으나, 1995년 MacKay와 Neal에 의해 다시 발견되었고, 1998년에는 Gallager가 제안한 LDPC부호를 일반화한 비정규 LDPC 부호(Irregular LDPC Codes)가 발표되었다. Gallager에 의해 처음 발표될 때 본 부호에 대한 확률적(Probabilistic) 복호법이 같이 발표되었고 이 방법을 통해서 LDPC 부호의 성능이 대단히 우수함이 밝혀졌고, 또한 부호어를 이진 부호(binary codes)에서 비이진 부호(nonbinary codes)로 확장하여 정의할 경우 개선된 성능을 보임이 밝혀졌다. LDPC 부호는 터보 부호(Turbo codes)와 마찬가지로 Shannon이 정의한 통신로 용량 한계(channel capacity limit)에 접근하는 비트 오류 성능(Bit Error Rate - BER)을 보이며, 가장 좋은 성능을 보이는 것으로 알려진 비정규 LDPC(irregular LDPC codes)부호는 가법성 백색 가우스 분포 잡음(Additive White Gaussian Noise - AWGN) 통신로 환경 하에서 블록 크기가 백만(10^6) 비트정도일 때 비트 오류율 10^{-6} 을 달성하기 위해 Shannon의 통신로 용량으로부터 단지 0.13 dB가 추가적으로 필요하기 때문에 대단히 낮은 비트 오류율의 고품질 전송 환경을 요구하는 응용에 적절하다.

【보정대상항목】 식별번호 12

【보정방법】 정정

【보정내용】

LDPC 부호의 기본 복호 방법은 기존의 블록 부호의 복호 방법인 대수적 복호 방법(Algebraic Decoding Algorithm)과는 달리, 확률적 복호 방법(Probabilistic Decoding Algorithm)으로 구성됨으로써 그래프 이론과 확률적 추측 이론을 적용한 신뢰 전파 방법이 그대로 적용된 방법이다. 따라서, LDPC의 복호기는 통신로를 통해 수신된 부호어의 각 비트에 대해 해당 비트가 1이거나 0이었을 확률을 계산하게 된다. 복호기가 계산한 확률 정보는 특별히 메시지라고 불리며, 패리티 검사 행렬에서 정의된 각 패리티를 만족하는지 검사할 때 사용되게 된다. 패리티 검사 행렬의 특정 패리티가 만족되었을 때(패리티 검사의 결과가 0일 때) 계산되는 메시지를 특별히 패리티 검사 메시지라고 하며, 각 부호어 비트의 값이 어떤 값을 가져야 하는지를 나타내어 준다. 각 패리티에 대한 패리티 검사 메시지는 해당 비트들의 값을 결정하는데 모두 이용되고, 여기서 계산된 비트에 대한 정보는 비트 메시지라고 한다. 이런 메시지 전달을 반복하는 과정에서 각 부호어들의 비트에 대한 정보는 패리티 검사 행렬의 모든 패리티가 만족되도록 꾸준히 개선된다. 최종적으로 패리티 검사 행렬의 모든 패리티가 만족되면, 부호어의 복호를 종료한다. 일반적으로 신호 대 잡음비가 낮은 통신로 환경에서는 조직 부호(Systematic Codes)가 사용되므로 부호어의 특정 부분을 추출하여 정보 비트를 재생하게 된다. 만약 가법성 백색 가우스 분포 잡음 통신로에서 이진부호로 구성된 LDPC 부호의 메시지 전파 복호를 손쉽게 하기 위해서 확률 메시

지를 대수 우도 비(Log Likelihood Ratio - LLR) 메시지로 변환하여 계산하는 것이 유리하다.

【보정대상항목】 식별번호 16

【보정방법】 정정

【보정내용】

LDPC 부호의 복호는 성긴 패리티 검사 행렬(100)로부터 Tanner 그래프(220)라는 그래프를 정의하여 해당 그래프에 대해 메시지 전파 방법을 적용한다. 도 2는 도 1의 패리티 검사 행렬에 대한 Tanner 그래프를 나타낸다. Tanner 그래프(200)는 마디(Node)(210)(220)와 가지(230)로 구성된 그래프로써, 마디는 다시 패리티 검사 메시지를 위한 패리티 검사 마디(210)와 비트 메시지를 위한 비트 마디(220)로 나누어진다. 패리티 검사 마디(210)의 개수는 패리티 검사 행렬(100)의 열의 길이와 같고, 비트 마디(220)의 개수는 패리티 검사 행렬(100)의 행의 길이와 같다. 그리고 각 마디들은 순서대로 행렬의 행과 열을 의미한다. 가지(230)는 패리티 검사 행렬(100)의 0이 아닌 원소를 나타낸다. 예를 들면 도 2의 가장 왼쪽 가지는 첫 번째 패리티 검사 마디와 첫 번째 비트 마디를 연결하므로 패리티 검사 행렬의 (1,1)의 원소를 의미한다. 같은 방법으로 첫 번째 비트 마디와 네 번째 패리티 검사 마디를 연결하는 가지는 패리티 검사 행렬의 (4,1)의 원소를 나타낸다. 이렇게 정의된 Tanner 그래프(200)를 통해 부호화와 복호를 수행하며, 도 3은 부호화기(320)와 복호기(340)를 도시하였다. 복호기(340)는 대수 우도 비 계산기(LLR Calculator)(341), 비트 메시지 계산기(Bit Node Function)(342), 패리티 검사 메시지 계산기(Check Node Function)(344), 패리티

검사기(Parity Checker)(343)로 구성되어 있다. 통신로(Channel)(330)를 통과한 부호어의 각 비트를 y_i 라고 하고 해당 비트가 1일 확률을 p_i 라고 하면, 대수 우도 비 계산기(341)는 수학식 1을 통해 대수 우도 비를 계산한다.

【보정대상항목】 식별번호 17

【보정방법】 정정

【보정내용】

【수학식 1】

$$LLR(p_i) = \frac{2}{\sigma^2} y_i$$

【보정대상항목】 식별번호 18

【보정방법】 정정

【보정내용】

여기서, σ^2 는 통신로의 잡음 전력을 의미한다. 통신로의 잡음 전력의 값은 외부에서 입력 매개변수로 주어져야 한다.

초기 대수 우도 비를 통해 각 마디에 대한 메시지를 계산할 수 있다. 비트 마디와 패리티 검사 마디의 메시지 계산 방법을 도 4에 도시하였다. 수학식 1로부터 얻어진 초기 대수 우도 비를 이용해서 우선 비트 마디의 메시지(414)를 계산한다. 비트 메시지 계산기(342)는 수학식 2를 통해 i 번째 비트의 j 번째 패리티에 해당하는 비트 마디(413)의 메시지(414) $LLR(q_{ij})$ 를 계산한다. 초기에는 패리티 검사 메시지(424) $LLR(r_{ij})$ 의 정보가 없으므로 $LLR(r_{ij})=0$ 으로 설정한다.

【보정대상항목】 식별번호 40

【보정방법】 정정

【보정내용】

수학식 8과 수학식 10로 주어진 기울기와 경계치를 이용하여 수학식 4의 함수의 값을 계산하는 회로(600)를 도 6에 도시하였다. 모든 연판정 입력은 양의 실수 값을 가지게 되므로 입력 메모리(610)는 음수에 대한 부호 반전을 수행한다. 즉, 최대 해상도 비트(Most Significant Bit - MSB)의 값이 1이면 입력 메모리(610)내부에서 메모리 값에 1을 더하고 1의 보수(1's complement) 연산을 한다. 입력 메모리(610)의 값은 각 구간의 기울기 S_i 가 곱해지는 승산기(630)를 통과하고, 경계치 메모리(620)로부터 발생된 구간 경계치와 가산기(640)에 의해 더해져서 수학식 4의 함수 치가 계산해 낸다. 최후로 입력 메모리(610)내의 입력 값의 구간 범위를 조사하기 위해 최대 해상도 비트에 따라 스위치가 전환되도록 하는 다중화기(Multiplexor - MUX)(650)로부터 정확한 함수치가 선택되어 출력으로 발생된다. 다중화기(650)는 입력 메모리의 0이 아닌 가장 높은 차수의 비트가 첫 번째 비트이면, 첫 번째 계산치를 출력으로 선택하고, 두 번째 비트이면 두 번째 계산치를 출력하도록 선택한다. 같은 방법으로 모든 비트에 대해 스위치의 개폐를 결정할 수 있다.

【보정대상항목】 식별번호 44

【보정방법】 정정

【보정내용】

이상에서 살펴 본 바와 같이, 패리티 검사 메시지를 계산하기 위한 비선형 함수를 읽기 전용 메모리로 구성하는 것에 비해, 본 발명에서는 가산기와 쉬프트의 자원을 공유하여 빠른 속도로 계산한다. 가산기와 쉬프트를 공유 자원으로 사용함으로써 승산기를 사용하는 것보다 소요되는 하드웨어 자원을 줄일 수 있으며, 선형 근사를 위해 구간을 나누고, 그 구간의 경계치로 2의 누승을 사용함으로써 기울기 계산기와 경계치 계산기의 회로를 더욱 간단하게 만들 수 있고, 또한 근사에 의한 오차를 큰 폭으로 줄일 수 있다. 본 발명에서 제안하는 방법은 모든 단조 함수 특히 지수 함수적으로 증가하거나 감소하는 비선형 함수에 적용할 수 있다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

(정정)저밀도 패리티 검사(Low-Density Parity-Check) 부호로 부호화된 블록 부호를 메시지 전달 복호 기법을 사용하여 복호하는 복호기에 있어서,

상기 저밀도 패리티 검사 부호로 부호화된 블록 부호에서 연속적인 값을 갖는 부호어를 입력으로 받아서 대수 우도 비를 계산하는 대수 우도 비 계산부;

상기 대수 우도 비 계산부에 의해 계산된 대수 우도 비와 입력되는 패리티 검사 메시지를 사용하여 비트 메시지를 계산하는 비트 메시지 계산부;

상기 비트 메시지에서 계산된 비트 메시지를 사용하여 패리티 검사 메시지를 계산하여 상기 비트 메시지 계산부로 출력하는 패리티 검사 메시지 계산부;
및

상기 비트 메시지 계산부와 패리티 검사 메시지 계산부의 반복 복호에 의해 산출된 최종 패리티 검사 메시지로부터 상기 비트 메시지 계산부에 의해 복호된 부호어를 받아서 패리티를 검사하는 패리티 검사부

를 포함하며,

상기 비트 메시지 계산부로부터의 입력에 대한 대수 함수 출력에 해당되는 상기 패리티 검사 메시지는 상기 대수 함수의 구간을 나누어 각 구간별로 결정되는 선형 근사 함수에 의해 계산되는

것을 특징으로 하는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 2

【보정방법】 정정

【보정내용】

(정정)제1항에 있어서,

상기 패리티 검사 메시지 계산부는,

상기 비트 메시지 계산부로부터의 입력에 상기 구간별 선형 근사 함수의 기울기값을 공급하는 송산기;

상기 승산기에서 출력되는 값에 상기 구간별 선형 근사 함수의 경계치를 더하는 가산기; 및

상기 입력의 구간 범위에 따라 상기 가산기의 출력을 선택하는 다중화기를 포함하는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

(정정)제1항에 있어서,

상기 패리티 검사 메시지 계산부는,

상기 비트 메시지 계산부로부터의 입력이 0이 아닌 가장 높은 차수의 비트로부터 곱해야할 기울기를 계산하고, 이 기울기의 값을 비트 쉬프터와 가산기로 곱하여 출력하는 기울기 계산기;

상기 입력의 0이 아닌 가장 높은 차수의 비트로부터 상기 구간별 선형 근사 함수의 경계치를 계산하는 경계치 계산기; 및

상기 기울기 계산기에서 출력되는 값에 상기 경계치 계산기에 의해 계산된 경계치를 더하는 가산기

를 포함하는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 4

【보정방법】 정정

【보정내용】

(정정)제3항에 있어서,
상기 기울기 계산기는,
상기 기울기값을 구성하기 위해 상기 입력의 각 비트를 좌우로 쉬프트 가능한 비트 쉬프터;
상기 기울기 계산에 사용되는 0의 값을 나타내는 접지;
상기 비트 쉬프터에서 출력되는 값을 단어 부호별로 반전하여 상기 기울기 값을 표현하는 단어 부호 반전기; 및
상기 단어 부호 반전기 및 접지 출력을 조합하여 최종 결과치를 출력하는 스위치
를 포함하는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 5

【보정방법】 추가

【보정내용】

(신설)제4항에 있어서,
상기 경계치 계산기는,
상기 경계치를 구성하기 위해 상기 입력의 각 비트를 좌우로 쉬프트 가능한 비트 쉬프터;

상기 경계치 계산에 사용되는 0의 값을 나타내는 접지;

상기 비트 쉬프트에서 출력되는 값을 단어 부호별로 반전하여 상기 경계치를 표현하는 단어 부호 반전기; 및

상기 단어 부호 반전기 및 접지 출력을 조합하여 최종 결과치를 출력하는 스위치

를 포함하는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 6

【보정방법】 추가

【보정내용】

(신설)제1항 내지 제5항 중 어느 한 항에 있어서,

상기 대수 함수($\Phi(x)$)가 아래의 관계식

$$\Phi(x) = -\log\left(\tanh\left(\frac{|x|}{2}\right)\right)$$

여기서 x 는 상기 비트 메시지 계산부로부터의 입력임

을 따르는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 7

【보정방법】 추가

【보정내용】

(신설)제6항에 있어서,

상기 선형 근사의 구간(I_i)은 아래의 관계식

$$I_i = [2^{K+i} 2^{K+1+i}], i \in \{0, \dots, n_1-1\}, K = -n_2$$

여기서, n_1 은 상기 입력을 표현하는 단어의 길이, 즉 어장(word length)을 나타내고,

n_2 는 상기 입력을 표현하는 소수점 이하의 최소의 해상도에 해당하는 비트를 나타냄

에 의해 결정되며,

2의 누승을 양쪽 경계치로 하는

것을 특징으로 하는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 8

【보정방법】 추가

【보정내용】

(신설)제7항에 있어서,

상기 선형 근사 함수(y)는 아래의 관계식

$$y = s_i r + x_i, \quad i \in \{0, \dots, |\{I_i\}| - 1\}, \quad r \in I_i$$

여기서, s_i 는 기울기이고,

x_i 는 경계치임

을 따르는 것을 특징으로 하는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 9

【보정방법】 추가

【보정내용】

(신설)제8항에 있어서,

상기 기울기(s_i)는 아래의 관계식

$$s_i = \text{ROUND} \left(\frac{\Phi(2^{K+n_1-i-1}) - \Phi(2^{K+n_1-i})}{2^{K+n_1-i-1} - 2^{K+n_1-i}}, n_2 \right), \quad i \geq 0$$

여기서, ROUND 함수는 상기 입력을 최소 해상도가 2^{-n_2} 으로 주어진 이진수들 중에서 가장 가까운 이진수로 지정하는 함수이며, 아래의 관계식

$$\text{ROUND}(x, n_2) = 2^{-n_2} \left\lfloor \frac{x}{2^{-n_2}} + \frac{1}{2} \right\rfloor$$

을 따름

을 따르는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【보정대상항목】 청구항 10

【보정방법】 추가

【보정내용】

(신설)제9항에 있어서,

상기 경계치(x_i)는 아래의 관계식

$$x_i = \text{ROUND}((2^{K+n_1-i} - 2^{K+n_1-i+1})s_i + x_{i-1}, n_2), \quad i \geq 1, \quad x_0 = \text{ROUND}(\phi(2^{K+n_1}), n_2)$$

을 따르는 저밀도 패리티 검사 부호를 위한 메시지 전달 복호기.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002.12.24
【발명의 명칭】	계산이 간단한 저밀도 패리티 검사부호를 위한 메시지 전달 복호기
【발명의 영문명칭】	A Simplified Message-Passing Decoder for Low-Density Parity-Check Codes
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-038431-4
【발명자】	
【성명의 국문표기】	이상현
【성명의 영문표기】	LEE, SANG HYUN
【주민등록번호】	770411-1785417
【우편번호】	604-081
【주소】	부산광역시 사하구 괴정1동 우신아파트 1동 706호
【국적】	KR
【발명자】	
【성명의 국문표기】	김윤희
【성명의 영문표기】	KIM, YUN HEE
【주민등록번호】	740129-2446713
【우편번호】	302-749
【주소】	대전광역시 서구 월평3동 다모아아파트 110동 807호
【국적】	KR

【발명자】

【성명의 국문표기】 김광순
【성명의 영문표기】 KIM,KWANG SOON
【주민등록번호】 720920-1017317
【우편번호】 305-721
【주소】 대전광역시 유성구 신성동 하나아파트 109동 1203호
【국적】 KR

【발명자】

【성명의 국문표기】 장경희
【성명의 영문표기】 CHANG,KYUNG HI
【주민등록번호】 620620-1067111
【우편번호】 302-772
【주소】 대전광역시 서구 둔산동 크로바아파트 104동 1409호
【국적】 KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
유미특허법인 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	2 면	2,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	31,000 원	
【감면사유】	정부출연연구기관	
【감면후 수수료】	15,500 원	

【기술이전】

【기술양도】 희망
【실시권 허여】 희망
【기술지도】 희망

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 저밀도 패리티 검사 부호(Low-density parity-check codes - LDPC)로 부호화된 블록 부호의 복호를 위해 복호기 내부의 복잡한 메시지 전달 함수를 단순화하여 가산기와 쉬프터만 이용함으로써 복호기의 하드웨어 구조를 간단히 하는 구현 방법에 관한 것으로서, 메시지 입력을 표현하는 2진 표현에 대해 메시지 전파 함수의 입력 구간을 나누고, 각 구간을 선형화하여 메모리를 사용하지 않고도 메시지 전달 함수의 출력을 계산할 수 있게 하여 복호기의 메모리 비용을 줄일 수 있도록 한 것을 특징으로 한다. 이 때 메시지 전달 함수의 형태가 지수 함수의 형태와 유사한 성질을 착안하여 선형화 구간으로, 이진 표현의 각 자리 수로 표현할 수 있는 최대 값을 구간의 경계로 하도록 구간을 설정하여, 이 구간을 이용하여 구현할 경우 메시지 전달 함수를 계산하는 계산기의 기본 블록 구현을 규칙적으로 할 수 있다. 본 발명에 의하면, 각 입력 구간 별로 선형화를 하였으므로 대단히 간단하게 메시지를 계산할 수 있고, 또한 반복되는 하드웨어 자원을 이용 할 수 있도록 하였으므로 상당한 분량의 가산기와 쉬프터를 공유하여 이를 다중화기(multiplexor)를 통해 선택할 수 있도록 하여 최소의 비용만을 소비하도록 구성할 수 있다. 또한 이러한 구현 방법은 메시지 전파 복호기 외에도 지수함수 형태의 어떠한 단조 감소 함수(monotonically decreasing function)의 계산에도 적용할 수 있는 점이 특징이다.

【대표도】

도 6

1020020083721

출력 일자: 2003/7/28

【색인어】

Low-density parity-check codes, Hyperbolic tangent function, Message-passing decoder,
Log-likelihood ratio.

【명세서】**【발명의 명칭】**

계산이 간단한 저밀도 패리티 검사부호를 위한 메시지 전달 복호기 {A Simplified Message-Passing Decoder for Low-Density Parity-Check Codes}

【도면의 간단한 설명】

도 1은 LDPC 부호를 구성하는 성긴 패리티 검사 행렬을 보여주는 도면이다.

도 2는 도 1을 Tanner 그래프로 표현한 도면이다.

도 3은 LDPC 부호의 부호화기 및 복호기를 보여주는 도면이다.

도 4는 각 마디에서 메시지를 계산하는 방법을 보여주는 도면이다.

도 5는 메시지 전달 함수의 선형화 방법을 나타내는 도면이다.

도 6은 본 발명에서 제안하는 선형화된 메시지 전달 함수를 계산하기 위한 메시지 계산기에 대한 병렬 구현 구조를 나타내는 대표 도면이다.

도 7는 본 발명에서 제안하는 선형화된 메시지 전달 함수를 계산하기 위한 메시지 계산기에 대한 최소 비용의 구현 구조를 나타내는 도면이다.

도 8은 기울기를 곱하는 승산기를 구현한 회로를 나타내는 도면이다.

도 9는 각 구간의 경계 값을 더해주기 위한 가산기를 구현한 회로를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 통신로 부호(Channel Codes)의 복호(Decoding) 기술에 관한 것으로 특히, 통신로(Channel)의 출력이 연속적인 값을 갖는 통신로 상에서 LDPC 부호로 부호화된 데이터가 전송되었을 경우 이를 메시지 전달 복호 기법(Message-Passing Decoding Algorithm)을 이용하여 복호하는 방법을 수행하는 회로의 구현 구조에 관한 것이다.

<11> LDPC 부호는 1962년에 Gallager에 의해서 처음으로 발표된 선형 블록 부호로서, 선형 블록 부호를 구성하는 패리티 검사 행렬(Parity-Check Matrix)의 각 원소들의 대부분이 0인 성진(Sparse) 행렬로 정의된다. 처음 발표되었을 당시에는 구현에 소요되는 비용으로 인해 오랫동안 잊혀져 왔으나, 1995년 MacKay와 Neal에 의해 다시 발견되었고, 1998년에는 Gallager가 제안한 LDPC부호를 일반화한 비정규 LDPC 부호(Irregular LDPC Codes)가 발표되었다.

Gallager에 의해 처음 발표될 때 본 부호에 대한 확률적(Probabilistic) 복호법이 같이 발표되었고 이 방법을 통해서 LDPC 부호의 성능이 대단히 우수함을 밝혀졌고, 또한 부호어를 이진 부호(binary codes)에서 비이진 부호(nonbinary codes)로 확장하여 정의할 경우 개선된 성능을 보임이 밝혀졌다. LDPC 부호는 터보 부호(Turbo codes)와 마찬가지로 Shannon이 정의한 통신로 용량 한계(channel capacity limit)에 접근하는 비트 오류 성능(Bit Error Rate - BER)을 보이며, 가장 좋은 성능을 보이는 것으로 알려진 비정규 LDPC(irregular LDPC codes)부호는 가법성 백색 가우스 분포 잡음(Additive White Gaussian Noise - AWGN) 통신로 환경 하에서 블록 크기가 백만(10^6) 비트정도일 때 비트 오류율 10^{-6} 을 달성하기 위해 Shannon의 통신로 용량으로

부터 단지 0.13 dB가 추가적으로 필요하기 때문에 대단히 낮은 비트 오류율의 고품질 전송 환경을 요구하는 응용에 적절하다.

<12> LDPC 부호의 기본 복호 방법은 기존의 블록 부호의 복호 방법인 대수적 복호 방법 (Algebraic Decoding Algorithm)과는 달리, 확률적 복호 방법(Probabilistic Decoding Algorithm)으로 구성됨으로써 그래프 이론과 확률적 추측 이론을 적용한 신뢰 전파 방법이 그 대로 적용된 방법이다. LDPC의 복호기는 통신로를 통해 수신된 부호어의 각 비트에 대해 해당 비트가 1이거나 0이었을 확률을 계산하게 된다. 복호기가 계산한 확률 정보는 특별히 메시지라고 불리며, 패리티 검사 행렬에서 정의된 각 패리티를 만족하는지 검사할 때 사용되게 된다. 패리티 검사 행렬의 특정 패리티가 만족되었을 때(패리티 검사의 결과가 0일 때) 계산되는 메시지를 특별히 패리티 검사 메시지라고 하며, 각 부호어 비트의 값이 어떤 값을 가져야 하는지를 나타내어 준다. 각 패리티에 대한 패리티 검사 메시지는 해당 비트들의 값을 결정하는데 모두 이용되고, 여기서 계산된 비트에 대한 정보는 비트 메시지라고 한다. 이런 메시지 전달을 반복하는 과정에서 각 부호어들의 비트에 대한 정보는 패리티 검사 행렬의 모든 패리티가 만족 되도록 꾸준히 개선된다. 최종적으로 패리티 검사 행렬의 모든 패리티가 만족되면, 부호어의 복호를 종료한다. 일반적으로 신호 대 잡음비가 낮은 통신로 환경에서는 조직 부호(Systematic Codes)가 사용되므로 부호어의 특정 부분을 추출하여 정보 비트를 재생하게 된다. 만약 가법성 백색 가우스 분포 잡음 통신로에서 이진부호로 구성된 LDPC 부호의 메시지 전파 복호를 손쉽게 하기 위해서 확률 메시지를 대수 우도 비(Log Likelihood Ratio - LLR) 메시지로 변환하여 계산하는 것이 유리하다.

<13> 이러한 대수 우도 비 메시지 복호 방법은 메시지 계산에 있어서 대수 함수(Logarithm Function) 연산이 관련되어 있으므로 비선형 함수를 구현하는 문제가 발생한다. 일반적으로 집

적 회로(Integrated Circuit)를 위해 비선형 함수를 계산할 때는 읽기 전용 메모리(Read-Only Memory - ROM)에 구체적인 값을 저장해서 입력에 연관된 주소의 출력 값을 불러내는 방법을 사용한다. 이런 방법을 사용할 경우 많은 용량의 메모리를 요구하며 따라서 집적 회로의 면적 비용을 증가시키는 원인이 되고 따라서 구현의 비용을 높이는 효과를 가져온다. 그리고, 입력과 출력을 표현하는 비트 수를 줄일 경우에는 메시지 계산의 정확도가 감소하는 효과를 가져와 전체 복호 성능을 감소시켜 비트오류율이 증가한다.

【발명이 이루고자 하는 기술적 과제】

<14> 이에, 본 발명은 상기와 같은 단점을 해결하기 위하여 안출된 것으로서, LDPC 부호의 복호기의 패리티 검사 메시지 계산을 읽기 전용 메모리를 사용하지 않고 입력의 구간을 나누어 각 구간에 대해 선형 근사 방법을 적용한다. 패리티 검사 메시지 계산에 사용되는 패리티 검사 함수는 지수 함수와 유사한 경향으로 감소하는 단조 감소 함수(Monotonically Decreasing Function)이므로 구간을 결정할 때 지수 함수적으로 결정하게 되면 선형 근사에 따른 근사 오류를 큰 폭으로 줄일 수 있다. 그리고 선형 근사를 위해서는 각 구간에 대한 기울기와 구간 경계에서의 함수 값이 필요하다. 기울기의 경우 입력 값에 곱해져야 하는 값이므로 승산기를 요구하게 된다. 그러나 간단한 승산기는 가산기와 쉬프트의 조합으로 구성이 가능하다. 따라서 가산기와 쉬프트 연산만으로 전체 패리티 검사 함수를 계산할 수 있다. 본 발명은 패리티 검사 함수를 간단히 구현한 것을 특징으로 하는 복호기를 제안한다.

【발명의 구성 및 작용】

<15> 본 발명은 LDPC 부호를 통해 부호화된 블록 부호의 복호에 적용할 수 있다. LDPC 부호는 다음의 도 1에 주어진 바와 같이 행렬의 원소 중에서 0(120)이 아닌 원소(110)의 개수가 대단

히 적도록 만든 성긴(sparse) 패리티 검사 행렬(100)과 이와 관련된 생성 행렬에 의해 부호화된다. 부호화의 방법은 일반적인 블록 부호와 완전히 동일하다.

<16> LDPC 부호의 복호는 성긴 패리티 검사 행렬로부터 Tanner 그래프(220)라는 그래프를 정의하여 해당 그래프에 대해 메시지 전파 방법을 적용한다. 도 2는 도 1의 패리티 검사 행렬에 대한 Tanner 그래프를 나타낸다. Tanner 그래프(200)는 마디(Node)(210)(220)와 가지(230)로 구성된 그래프로써, 마디는 다시 패리티 검사 메시지를 위한 패리티 검사 마디(210)와 비트 메시지를 위한 비트 마디(220)로 나누어진다. 패리티 검사 마디(210)의 개수는 패리티 검사 행렬(100)의 열의 길이와 같고, 비트 마디(220)의 개수는 패리티 검사 행렬(100)의 행의 길이와 같다. 그리고 각 마디들은 순서대로 행렬의 행과 열을 의미한다. 가지(230)는 패리티 검사 행렬(100)의 0이 아닌 원소를 나타낸다. 예를 들면 도 2의 가장 왼쪽 가지는 첫 번째 패리티 검사 마디와 첫 번째 비트 마디를 연결하므로 패리티 검사 행렬의 (1,1)의 원소를 의미한다. 같은 방법으로 첫 번째 비트 마디와 네 번째 패리티 검사 마디를 연결하는 가지는 패리티 검사 행렬의 (4,1)의 원소를 나타낸다. 이렇게 정의된 Tanner 그래프를 통해 부호화와 복호를 수행하며, 도 3은 부호화기(320)와 복호기(340)를 도시하였다. 복호기(340)은 대수 우도 비 계산기(341), 비트 메시지 계산기(342), 패리티 검사 메시지 계산기(344), 패리티 검사기(343)로 구성되어 있다. 통신로(330)를 통과한 부호어의 각 비트를 y_i 라고 하고 해당 비트가 1일 확률을 P_i 라고 하면, 대수 우도 비 계산기(341)는 수학식 1을 통해 대수 우도 비를 계산한다.

<17> **【수학식 1】**
$$LLR(p_i) = -\frac{2}{\sigma^2} y_i$$

<18> 초기 대수 우도 비를 통해 각 마디에 대한 메시지를 계산할 수 있다. 비트 마디와 패리티 검사 마디의 메시지 계산 방법을 도 4에 도시하였다. 수학식 1로부터 얻어진 초기 대수 우도 비를 이용해서 우선 비트 마디의 메시지(414)를 계산한다. 비트 메시지 계산기(342)는 수학식 2를 통해 i번째 비트의 j번째 패리티에 해당하는 비트 마디(413)의 메시지(414)LLR(q_{ij})를 계산한다. 초기에는 패리티 검사 메시지(424) LLR(r_{ij})의 정보가 없으므로 LLR(r_{ij})=0으로 설정한다.

<19>
$$LLR(q_{ij}) \leftarrow \sum_{\substack{j' \in Col[i] \\ j' \neq j}} LLR(r_{ij'}) + LLR(p_i)$$

 【수학식 2】

<20> 패리티 검사 메시지 계산기(344)에서 패리티 검사 마디(423)의 메시지(424)LLR(r_{ij})를 계산하는 방법은 수학식 3과 같이 주어진다.

<21>
$$LLR(r_{ij}) \leftarrow \Phi^{-1} \left(\sum_{\substack{i' \in Col[j] \\ i' \neq i}} \Phi(LLR(q_{i'j})) \right)$$

 【수학식 3】

<22> 수학식 3과 같이 패리티 검사 메시지를 계산하기 위해서는 수학식 4와 같은 수학 함수가 필요하다.

<23>
$$\Phi(x) = -\log \left(\tanh \left(\frac{|x|}{2} \right) \right)$$

 【수학식 4】

<24> 수학식 3을 통해 얻어진 패리티 검사 메시지는 다시 비트 메시지 계산기(342)로 전달된다. 비트 메시지 계산기(342)에서는 새롭게 갱신된 패리티 검사 메시지와 초기 비트 메시지를 이용해서 비트 메시지를 다시 계산하여 새로운 비트 메시지를 다시 패리티 검사 메시지 계산기로 전달한다. 이와 같은 동작은 정해진 회수 동안 반복한 후 최종적으로 패리티 검사 메시지를 얻게 된다. 비트 메시지 계산기(342)는 최종적으로 얻어진 패리티 검사 메시지를 통해 각 부

호어의 정보 비트의 대수 우도 비를 수학식 5를 이용하여 계산한다. 그리고 대수 우도 비로부터 해당 비트의 값을 판정한다.

<25>

$$LLR(q_i) \leftarrow \sum_{j' \in Col[i]} LLR(r_{ij'}) + LLR(p_i) \quad \hat{u}_i = \begin{cases} 1 & LLR(q_i) > 0 \\ 0 & LLR(q_i) < 0 \end{cases}$$

【수학식 5】

<26> 부호어의 모든 비트의 값이 결정되었으면 이를 통해 새롭게 부호어를 구성하여 패리티 검사기(343)의 입력으로 주어진다. 패리티 검사기(343)는 부호어에 대한 신드롬을 계산하여 패리티 검사를 수행한다. 부호어에 대한 신드롬이 0이 아닐 경우 부호어에 대한 복호가 실패했다고 판정하며, 패리티 검사가 성공했을 경우에는 부호어에서 정보 비트 부분을 추출하여 전달한다.

<27> 상기의 복호 방법을 하드웨어로 구현하기 위해서는 각 메시지 계산기(341)(342)(344)는 연판정 입력(soft decision input)을 받을 수 있어야 한다. 대수 우도 비 계산기(341)는 연판정 입력을 받아 연판정 출력의 대수 우도 비를 계산한다. 대수 우도 비 계산기의 출력은 연판정 출력이므로 수학식 2와 수학식 5로부터 비트 메시지 계산기(342)는 연판정 입력을 받아서 덧셈을 할 수 있는 가산기가 필요하다. 또한 비트 메시지 계산기의 출력도 연판정 출력 값이므로 패리티 검사 메시지 계산기(344)는 연판정 입력을 받을 수 있어야 하고, 따라서 수학식 4의 함수는 연판정 입력을 받아 연판정 출력을 내게 된다.

<28> 수학식 4는 선형 함수가 아니므로 하드웨어의 기본 계산 블록만으로는 구현할 수 없다. 따라서 이러한 문제를 해결하기 위해 수학식 4의 함수는 연판정 입력을 표현하는 비트 수의 입력을 받고, 연판정 출력을 표현하는 비트수의 출력을 내는 읽기 전용 메모리를 사용할 수 있다. 따라서 패리티 검사 계산기를 구현하는 비용은 연판정 입력과 연판정 출력을 표현하는 해상도로부터 결정되는 읽기 전용 메모리의 크기에 크게 의존한다.

<29> 본 발명에서는 읽기 전용 메모리를 사용하지 않는 패리티 검사 메시지 계산기를 제안한다. 읽기 전용 메모리를 사용하지 않게 위해서는 수학식 4의 함수를 기본 계산 블록으로 구현한다. 기본 계산 블록으로는 승산기와 가산기를 사용할 수 있다. 그러나 승산기는 가산기에 비해 상당한 비용을 요구하므로 승산기를 사용하지 않도록 한다. 따라서 연판정 입력에 대한 n 거듭승(Power of n)을 사용할 수 없으므로 선형 함수만 구현이 가능하다. 선형 함수만 구현이 가능하므로 수학식 4의 함수를 구간을 나누어 각 구간에 대한 선형 근사 함수의 값을 계산하여 패리티 검사 메시지(424)를 계산한다. 패리티 검사 메시지(424)를 계산하기 위해서는 수학식 4의 함수의 역함수가 필요하다. 그러나 수학식 4의 역함수는 수학식 4의 함수 자체이므로, 수학식 4의 계산기는 입력과 출력의 비트수가 같게 되도록 한다.

<30> 본 발명에서는 수학식 4의 선형 근사를 위해 도 5와 같이 구간을 나누는 방법을 제안한다. 수학식 4의 실제 함수 값(510)은 절대 값을 입력으로 받기 때문에 양수에 대해서만 값을 정의하며, 지수 함수와 유사한 기울기로 감소하는 단조 감소 함수(Monotonically Decreasing Function)이다. 그러므로 선형 근사를 위한 구간을 지수 함수적인 크기를 갖도록 수학식 6과 같이 구간 I_i 을 나눈다. n_1 은 입력 값을 표현하는 단어(word)의 길이 즉, 어장(word length)을 나타내고, n_2 는 입력 값을 표현하는 소수점 이하의 최소의 해상도에 해당하는 비트를 의미한다. n_2 에 의해 표현될 수 있는 최소의 해상도는 2^{-n_2} 로 주어진다.

<31> 【수학식 6】 $I_i = [2^{K+i}, 2^{K+1+i}]$, $i \in \{0, \dots, n_1-1\}$, $K = -n_2$

<32> 각 구간 I_i 에 대해서 양 경계치에 대한 수학식 4의 정확한 함수 값이 필요하다. 선형 근사식을 위해 구간의 양 끝 점에 대한 좌표가 모두 주어졌으므로 수학식 7과 같이 선형 근사식을 정의할 수 있다.

<33> **【수학식 7】** $y = s_i r + x_i, i \in \{0, \dots, |\{I_i\}| - 1\}, r \in I_i$

<34> 수학식 7로부터 각 구간에 대해 기울기 s_i 와 구간 경계치 x_i 를 정의해야 한다. 우선 기울기 s_i 를 수학식 8과 같이 정의한다.

<35> **【수학식 8】**
$$s_i = \text{ROUND} \left(\frac{\phi(2^{K+n_1-i-1}) - \phi(2^{K+n_1-i})}{2^{K+n_1-i-1} - 2^{K+n_1-i}}, n_2 \right), i \geq 0$$

<36> 수학식 8의 ROUND 함수는 입력을 최소 해상도가 2^{-n_2} 으로 주어진 이진수들 중에서 가장 가까운 이진수로 지정하는 함수를 의미하며, 수학식 9와 같이 주어진다.

<37> **【수학식 9】**
$$\text{ROUND}(x, n_2) = 2^{-n_2} \left\lfloor \frac{x}{2^{-n_2}} + \frac{1}{2} \right\rfloor$$

<38> 경계치 x_i 는 기울기 s_i 와 x_{i-1} 로부터 수학식 10과 같이 정의할 수 있다.

<39> **【수학식 10】** $x_i = \text{ROUND}((2^{K+n_1-i} - 2^{K+n_1-i+1})s_i + x_{i-1}, n_2), i \geq 1, x_0 = \text{ROUND}(\phi(2^{K+n_1}), n_2)$

<40> 수학식 8과 수학식 10로 주어진 기울기와 경계치를 이용하여 수학식 4의 함수의 값을 계산하는 회로(600)를 도 6에 도시하였다. 모든 연판정 입력은 양의 실수 값을 가지게 되므로 입력 메모리(610)는 음수에 대한 부호 반전을 수행한다. 즉, 최대 해상도 비트(Most Significant Bit - MSB)의 값이 1이면 입력 메모리(610)내부에서 메모리 값에 1을 더하고 1의 보수(1's complement) 연산을 한다. 입력 메모리(610)의 값은 각 구간의 기울기 s_i 가 곱해지는 승산기(630)를 통과하고, 경계치 메모리(620)로부터 발생된 구간 경계치와 가산기(640)에 의해 더해져서 수학식 4의 함수 치가 계산해 낸다. 최후로 입력 메모리(610)내의 입력 값의 구간 범위를 조사하기 위해 최대 해상도 비트에 따라 스위치가 전환되도록 하는 다중화기(Multiplexor - MUX)(650)로부터 정확한 함수치가 선택되어 출력으로 발생된다. 다중화기(650)는 입력 메모리

의 0이 아닌 가장 높은 차수의 비트가 첫 번째 비트이면, 첫 번째 계산치를 출력으로 선택하고, 두 번째 비트이면 두 번째 계산치를 출력하도록 선택한다. 같은 방법으로 모든 비트에 대해 스위치의 개폐를 결정할 수 있다.

<41> 상기의 방법에서 해결되지 않은 부분이 여전히 존재하는데, 그것은 승산기를 사용하는 것이다. 일반적으로 이진수의 승산기는 비트 쉬프터와 가산기로 구현할 수 있다. 즉, 1.5를 곱하려면 입력어(input word)를 오른쪽으로 한 비트 쉬프트하면 입력 비트에 1/2을 곱한 것과 같은 결과가 되고, 여기에 입력어 자체를 더하게 되면 입력어의 1.5배의 값을 갖는 이진수를 얻을 수 있다. 같은 방법으로 오른쪽으로 입력어의 비트를 쉬프트하면 2를 곱하는 효과를 실현할 수 있다. 기울기는 수학식 8로부터 이진수로 반올림되었고, 입력어는 2진수이므로 승산기를 가산기와 쉬프터로 바꿀 수 있다. 기울기의 값은 몇 가지로 한정되어 있으므로 다목적 승산기(General Purpose Multiplier)를 이용하는 것보다 가산기와 쉬프터로 구현하는 것이 하드웨어의 비용을 절약할 수 있다.

<42> 도 7은 상기의 제안된 내용을 적용하여 도 6의 계산기의 하드웨어 비용을 절약하여 단순화한 회로(700)를 도시하였다. 입력 메모리(710)는 도 6의 입력 메모리(610)와 동일한 기능을 한다. 그리고 경계치를 더하는 가산기(740) 역시 도 6의 가산기(640)와 동일한 기능을 한다. 기울기 계산 및 승산기(730)는 입력 메모리의 입력의 0이 아닌 가장 높은 차수의 비트로부터 곱해야 할 기울기를 계산하고, 이 기울기의 값을 쉬프터와 가산기로 곱하여 출력(840)을 발생한다. 경계치 계산기(720)는 입력 메모리의 입력의 0이 아닌 가장 높은 차수의 비트로부터 경계치(960)를 계산한다. 도 8은 본 발명에서 제안하는 기울기 계산 및 승산기(730)를 도시하였다. 입력 메모리(810)는 왼쪽을 최상위 비트라고 정의하면(Little Endian), 도 7의 입력 메모리(710)와 동일한 블록을 의미한다. 기울기 계산기(820)는 비트 쉬프터(821), 0의 값을 의미하

는 접지(822), 단어 부호 반전기(word negater)(823), 그리고 다중화기 역할을 수행하는 스위치(824)로 구성된다. 각 비트 쉬프터(821)는 각 기울기를 구성하기 위해 필요한 모든 비트 쉬프터를 포함한다. 0을 나타내는 접지(822)는 기울기 계산에서 사용될 수 있는 0의 값을 나타낸다. 단어 부호 반전기(823)는 기울기를 표현하기 위해 사용한다. 스위치(824)들은 각 쉬프터를 통과한 결과치들을 조합하여 최종 결과치를 얻도록 한다. 스위치의 개폐 구성은, 입력치의 구간이 결정된 후 그 구간에 해당하는 기울기의 값으로부터 결정된다. 따라서 각 기울기 계산에서 빈번하게 사용되는 쉬프터와 가산기의 하드웨어 자원을 절약할 수 있다. 도 9는 본 발명에서 제안하는 경계치 계산기(720)를 도시하였다. 경계치 계산기는 비트 쉬프터(910), 0의 값을 의미하는 접지(920), 단어 부호 반전기(word negater)(930), 그리고 다중화기 역할을 수행하는 스위치(940)로 구성된다. 각 비트 쉬프터(910)는 각 경계치를 구성하기 위해 필요한 모든 비트 쉬프터를 포함한다. 0을 나타내는 접지(920)는 경계치 계산에서 사용될 수 있는 0의 값을 나타낸다. 단어 부호 반전기(930)는 경계치를 표현하기 위해 사용한다. 스위치(940)들은 각 쉬프터를 통과한 결과치들을 조합하여 최종 결과치를 얻도록 한다. 스위치의 개폐 구성은, 입력치의 구간이 결정된 후 그 구간에 해당하는 경계의 값으로부터 결정된다. 따라서 각 경계치 계산에서 빈번하게 사용되는 쉬프터와 가산기의 하드웨어 자원을 절약할 수 있다. 최후의 가산기(830)(950)는 각 경계치의 이진 수 곱의 조합에서 가장 빈번히 사용되는 조합을 위해 미리 연결 상태를 결정해 둬으로써 자원의 절약을 기대할 수 있다.

<43> 비록, 본 발명이 가장 실제적이며 바람직한 실시예를 참조하여 설명되었지만, 본 발명은 상기 개시된 실시예에 한정되지 않으며, 후술되는 특허청구범위 내에 속하는 다양한 변형 및 등가물들도 포함한다.

【발명의 효과】

<44> 이상에서 살펴 본 바와 같이, 패리티 검사 메시지를 계산하기 위한 비선형 함수를 읽기 전용 메모리로 구성하는 것에 비해, 본 발명에서는 가산기와 쉬프터의 자원을 공유하여 빠른 속도로 계산한다. 가산기와 쉬프터를 공유 자원으로 사용함으로써 승산기를 사용하는 것보다 소요되는 하드웨어 자원을 줄일 수 있으며, 선형 근사를 위해 구간을 나누고, 그 구간의 경계치로 2의 누승을 사용함으로써 기울기 계산기와 경계치 계산기의 회로를 더욱 간단하게 만들 수 있고, 또한 근사에 의한 오차를 큰 폭으로 줄일 수 있다. 본 발명에서 제안하는 방법은 모든 단조 함수 특히 지수 함수적으로 증가하거나 감소하는 비선형 함수에 적용할 수 있다.

【특허청구범위】

【청구항 1】

LDPC(Low-Density Parity-Check) 부호로 부호화된 블록 부호에서 연속적인 값을 갖는 부호어를 입력으로 받아, 대수 우도 비를 계산하는 대수 우도 비 계산기, 대수 우도 비와 패리티 검사 메시지로부터 비트 메시지를 계산하는 비트 메시지 계산기, 비트 메시지로부터 패리티 검사 메시지를 계산하는 패리티 검사 메시지 계산기, 복호된 부호어의 패리티를 검사하는 패리티 검사기를 포함하는 구조를 갖는 것을 특징으로 하는 LDPC 부호의 복호기.

【청구항 2】

제 1항에 있어서,

패리티 검사 메시지 계산기의 내부 함수인 [수학식 11]을 계산하기 위해 구간을 나누어 선형 근사로 각 구간에 대한 함수치를 계산하는 방법, 선형 근사의 구간을 [수학식 12]와 같이 2의 거듭승을 양쪽 경계치으로 하는 구간으로 결정하는 방법.

【수학식 11】 $\phi(x) = -\log\left(\tanh\left(\frac{|x|}{2}\right)\right)$

【수학식 12】 $I_i = [2^{K+i} \ 2^{K+1+i}], i \in \{0, \dots, n_1-1\}, K = -n_2$

【청구항 3】

제 2항에 있어서,

각 구간에 대한 선형 근사식을 구성하는 기울기와 경계치를, 수학식 13과 수학식 14를 이용하여 계산하고, 이 값을 이용해서 일차 함수를 계산하여 비선형 함수의 결과로 결정하는 방법.

【수학식 13】
$$s_i = \text{ROUND}\left(\frac{\phi(2^{K+n_1-i-1}) - \phi(2^{K+n_1-i})}{2^{K+n_1-i-1} - 2^{K+n_1-i}}, n_2\right), i \geq 0$$

【수학식 14】
$$x_i = \text{ROUND}((2^{K+n_1-i} - 2^{K+n_1-i+1})s_i + x_{i-1}, n_2), i \geq 1, x_0 = \text{ROUND}(\phi(2^{K+n_1}), n_2)$$

【청구항 4】

제 3항에 있어서,

기울기와 경계치를 쉬프트와 가산기만을 이용하여 계산하는 방법과 이런 특성을 포함하는 계산기 회로의 구조. 빈번하게 사용되는 쉬프트와 가산기를 미리 짝을 지어 두고, 입력 메모리의 0이 아닌 가장 높은 차수의 비트의 자리수를 이용하여 다중화기의 스위치 구성을 선택하도록 하여 덧셈을 계산하는 방법과 이를 구현한 회로.

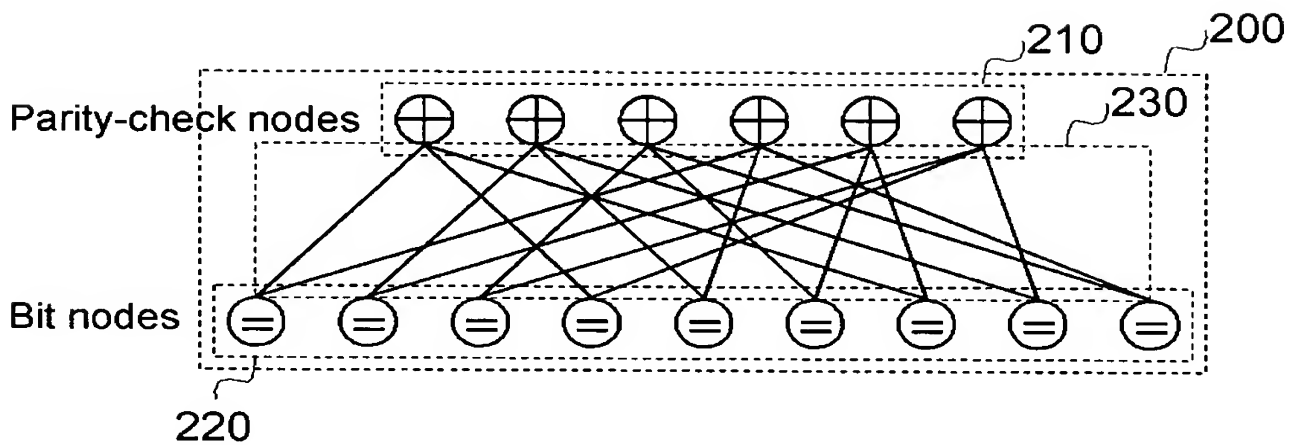
【도면】

【도 1】

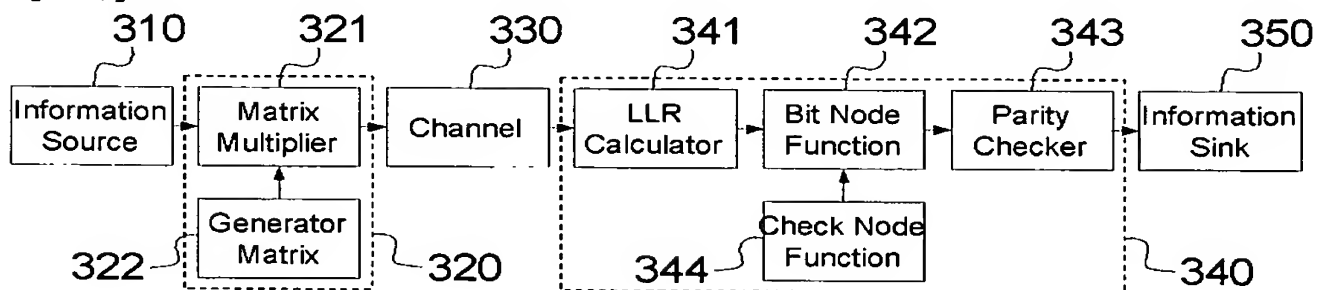
1	0	0	1	0	0	1	0	0
0	1	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0	1
1	0	0	0	1	0	0	0	1
0	1	0	0	0	1	1	0	0
0	0	1	1	0	0	0	1	0

110
120
100

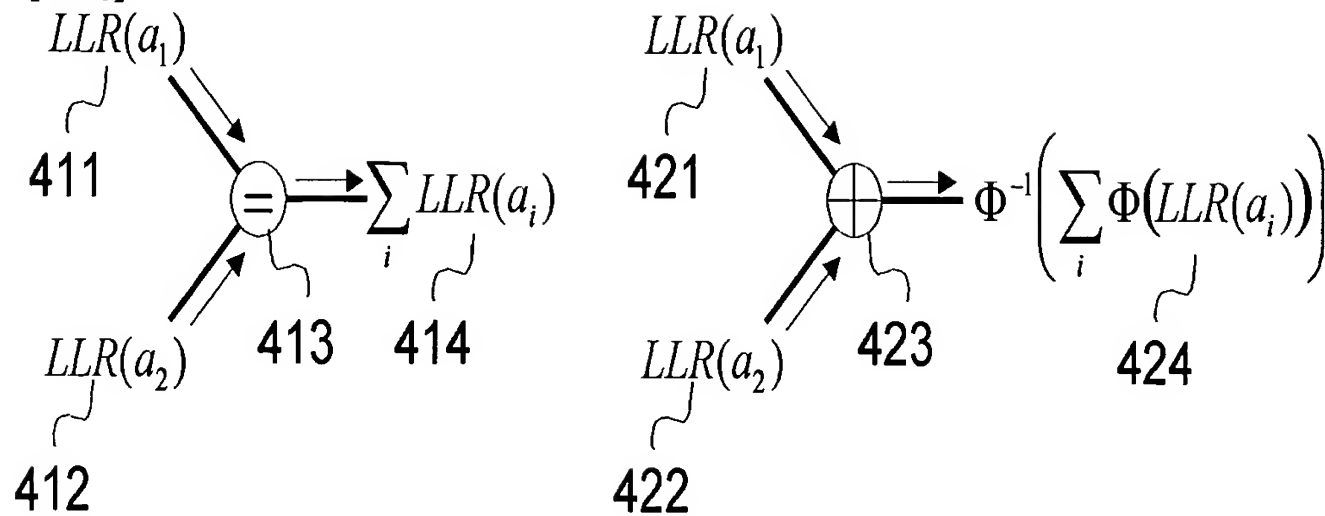
【도 2】



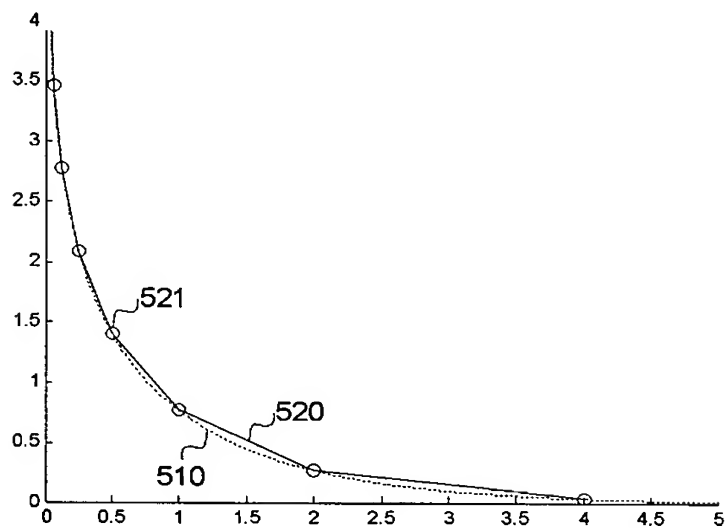
【도 3】



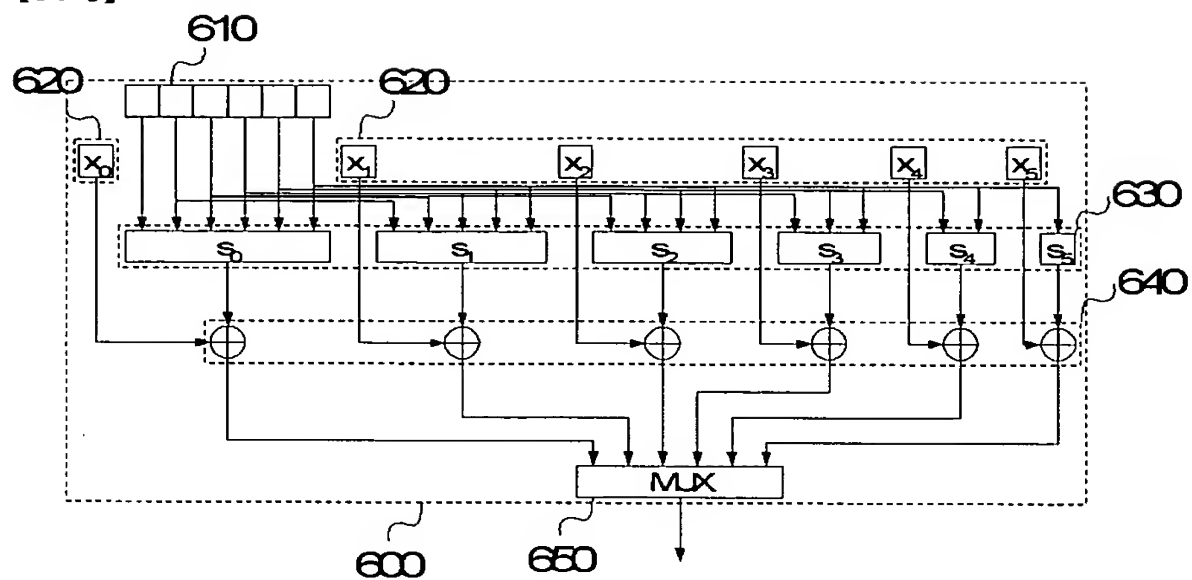
【도 4】



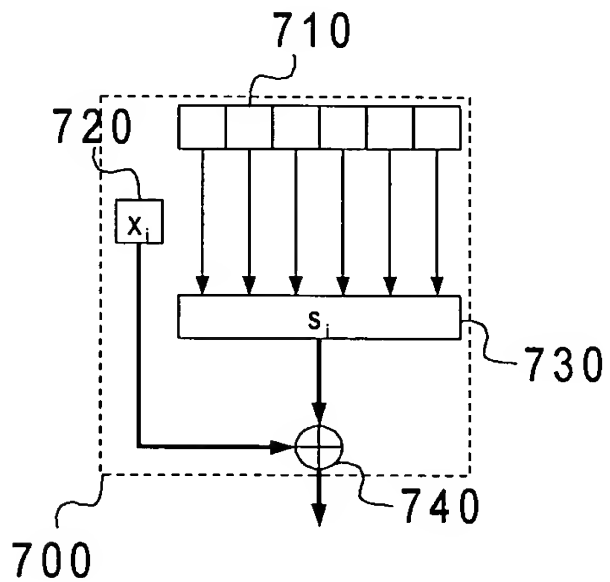
【도 5】



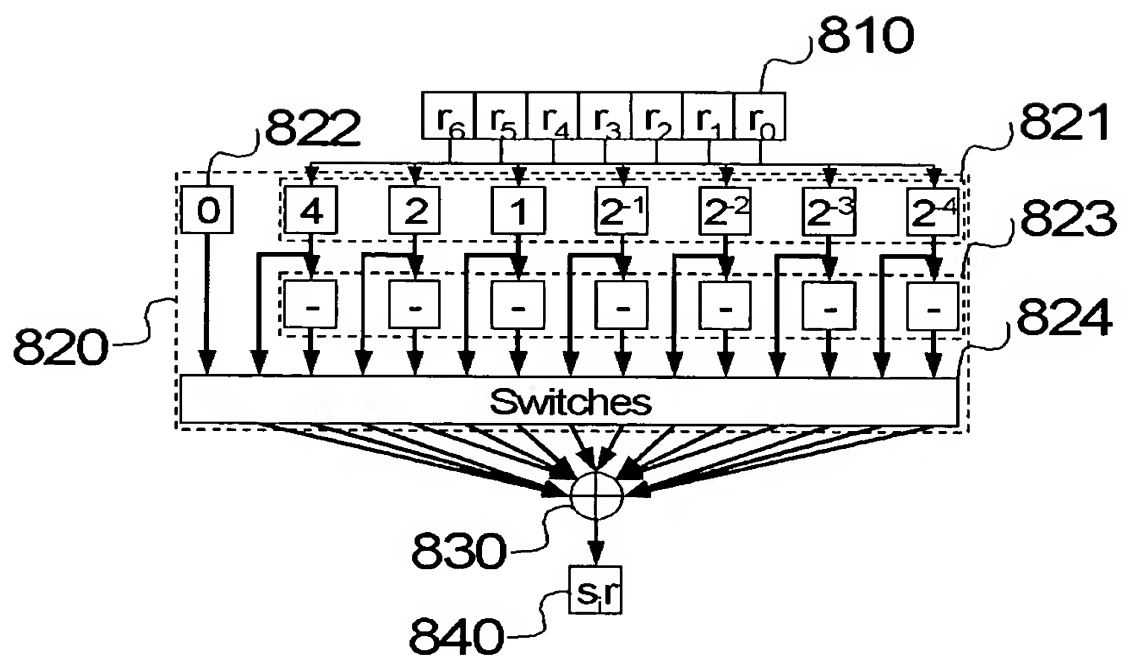
【도 6】



【도 7】



【도 8】



【도 9】

